

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-280458
(43)Date of publication of application : 06.10.1992

(51)Int. CI. H01L 23/12

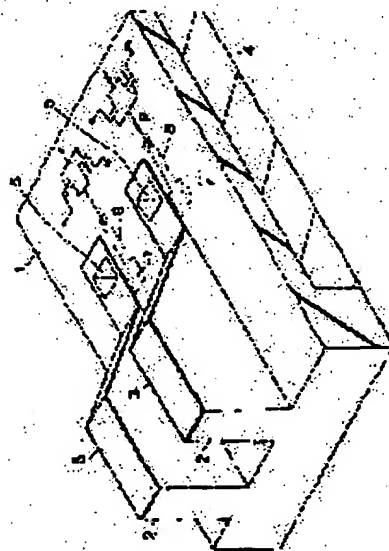
(21)Application number : 03-042158 (71)Applicant : HITACHI LTD
(22)Date of filing : 08.03.1991 (72)Inventor : ARITA JUNICHI
ANJO ICHIRO
MURAKAMI HAJIME

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, AND ITS MANUFACTURE AND MOUNTING STRUCTURE

(57)Abstract:

PURPOSE: To provide an LSI package wherein the reliability on the connection during mounting on a board is high and which is suitable for multipin and high-density mounting.

CONSTITUTION: This semiconductor integrated circuit device has such a package structure that the chip 4 is encapsulated in the package body 1 consisting of the rubber-shaped elastic body having a projection 2 at the surface, that one end of the lead wiring 3 made on the surface of the said package body 1 is connected to the pad 7 of the said chip 4 through the connection hole 5 opened in the said package body 1, and that the other end of the said lead wiring 3 is extended to the apex of the said projection.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]

BEST AVAILABLE COPY

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-280458

(43) 公開日 平成4年(1992)10月6日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12		7352-4M	H 0 1 L 23/12	L

審査請求 未請求 請求項の数9(全10頁)

(21) 出願番号 特願平3-42158

(22) 出願日 平成3年(1991)3月8日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 有田 順一

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体設計開発センタ内

(72) 発明者 安生 一郎

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体設計開発センタ内

(72) 発明者 村上 元

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体設計開発センタ内

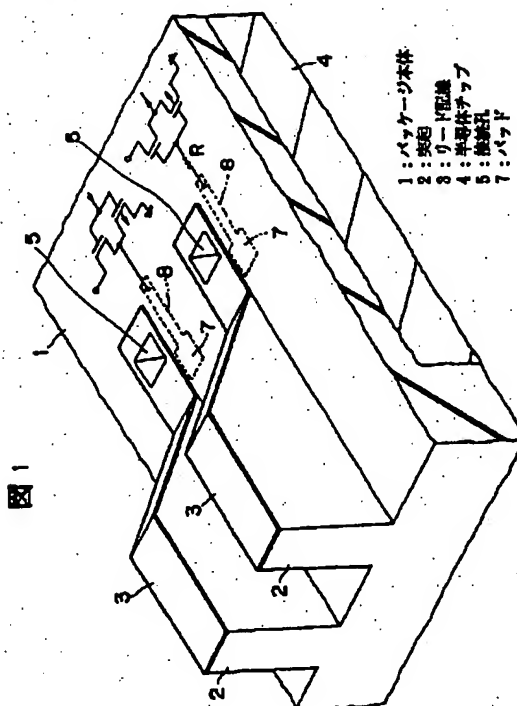
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置、その製造方法および実装構造

(57) 【要約】

【目的】 基板実装時の接続信頼性が高く、多ピン、高密度実装に好適なLSIパッケージを提供する。

【構成】 本発明の半導体集積回路装置は、表面に突起2を有するゴム状弾性体からなるパッケージ本体1にチップ4を封止し、前記パッケージ本体1の表面に形成したリード配線3の一端を前記パッケージ本体1に開孔した接続孔5を通じて前記チップ4のパッド7に接続するとともに、前記リード配線3の他端を前記突起2の頂部に延在したパッケージ構造を有している。



【特許請求の範囲】

【請求項1】 主面に複数の回路素子が形成された半導体チップと、前記半導体チップの主面上に設けられたゴム状弾性体からなる突起部と、前記半導体チップの主面上に形成され、その一端が前記半導体チップのパッドに接続されると共に、その他端が前記突起の頂部に延在したリード配線とを有することを特徴とする半導体集積回路装置。

【請求項2】 前記ゴム状弾性体の弾性率は、100MPaまたはそれ以下であることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記突起を回路素子上に設けたことを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】 前記パッドを回路素子上に設けたことを特徴とする請求項1記載の半導体集積回路装置。

【請求項5】 ゴム状弾性体からなるパッケージ本体に半導体チップを封止し、前記パッケージ本体の表面に形成したリード配線の一端を前記パッケージ本体に開孔した接続孔を通じて前記半導体チップのパッドに接続するとともに、前記リード配線他端を前記パッケージ本体の表面に設けたゴム状弾性体からなる導電性の突起に接続したことを特徴とする半導体集積回路装置。

【請求項6】 表面に突起を設けたゴム状弾性体からなるパッケージ本体に半導体チップを封止する工程と、前記パッケージ本体の一部を開孔して前記半導体チップのパッドに達する接続孔を形成する工程と、前記パッケージ本体の表面にリード配線用の導電膜を堆積する工程と、前記パッケージ本体およびその表面の導電膜に所定数の切り込みを形成することにより、一端が前記接続孔を通じて前記半導体チップのパッドに接続され、他端が前記突起の頂部に延在するリード配線を形成する工程とを有することを特徴とする請求項1、2、3または4記載の半導体集積回路装置の製造方法。

【請求項7】 前記突起の側壁に傾斜部を設けることを特徴とする請求項6記載の半導体集積回路装置の製造方法。

【請求項8】 前記突起の頂部のリード配線と基板の電極とを半田により接続したことを特徴とする請求項1、2、3または4記載の半導体集積回路装置の実装構造。

【請求項9】 前記ゴム状弾性体からなる導電性の突起と基板の電極とを導電性接着剤により接続したことを特徴とする請求項5記載の半導体集積回路装置の実装構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置に関し、特に、半導体チップを封止するパッケージおよびその実装に適用して有効な技術に関するものである。

【0002】

【従来の技術】 近年、RAM、ROMなどのメモリLS

Iは、メモリ容量の大規模化に伴って半導体チップの面積が著しく増大しているため、チップをSOP (Small Outline Package)、SOJ (Small Outline J-lead package)などの表面実装形パッケージに封止し、これらのパッケージの薄形化、小形化を実現することで実装密度の向上を図っている。

【0003】 一方、ゲートアレイやマイクロコンピュータなどの論理LSIは、多機能化、高速化の進行に伴って外部端子（入出力端子、電源端子）の数が著しく増加（多ピン化）しているため、QFP (Quad Flat Package)などのパッケージの薄形化を実現することで実装密度の向上を図っている。

【0004】 論理LSIの実装方式としては、上記QFPの他、チップの最上層配線に接合したCCBバンパを介してチップを基板に実装するフリップチップ方式が知られている。このフリップチップ方式については、例えばIBM社発行、「IBMジャーナル・オブ・リサーチ・アンド・ディベロップメント、13巻、No. 3 (IBM Journal of Research and Development, Vol.13, No.3) 」P239～P250に記載がある。

【0005】 また、多ピンLSIの実装方式としては、TAB (Tape Automated Bonding)方式が知られている。このTAB方式は、チップのボンディングパッド上にバリアメタルを介して形成されたAuのバンパと、ポリイミド樹脂などの絶縁フィルムに形成したCuリードの一端とを電気的に接続すると共に、上記Cuリードの他端を実装基板に電気的に接続する実装方式である。なお、TAB方式については、例えば特開昭62-205648号公報に記載がある。

【0006】

【発明が解決しようとする課題】 しかしながら、前記SOP、SOJ、QFPなどの表面実装形パッケージは、パッケージ本体の外部に突出したアウターリードを通じてチップと基板との電気的接続を取るため、アウターリードの占有面積の分だけ実装密度が低下するという問題がある。また、パッケージからのリード抜けを防止するためにパッケージ内のインナーリードの長さをある程度確保しなければならず、これも実装密度を低下させる一因になっている。

【0007】 さらに、表面実装形パッケージは、ワイヤを介してチップ、リード間を接続するワイヤボンディング方式を採用しているため、パッケージの薄形化、小形化、多ピン化には限界がある。また、パッケージ本体を薄形化すると、これに伴ってリフロー半田付け時のクラックなど、実装時の熱に起因する信頼性の低下が深刻な問題となる。

【0008】 一方、前記フリップチップ方式は、表面実装形パッケージに比べてチップの多ピン化、高密度実装が容易に実現できる反面、チップと基板との熱膨張係数差に起因する応力がCCBバンパに加わり易い構造であ

るため、CCBバンプが破断したり、チップが割れたりするなど、接続信頼性に問題がある。

【0009】また、前記TAB方式についても、前記SOP、SOJ、QFPなどの表面実装形パッケージと同様、アウターリードの占有面積の分だけ実装密度が低下するという問題がある。

【0010】本発明は、上記した問題点に着目してなされたものであり、その目的は、チップの実装密度を向上させることのできる技術を提供することにある。

【0011】本発明の他の目的は、チップを多ピン化する10 ことのできる技術を提供することにある。

【0012】本発明の他の目的は、チップと基板との間の接続信頼性を向上させることのできる技術を提供することにある。

【0013】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本発明による半導体集積回路装置は、複数の回路素子を形成したチップの主面に20 ゴム状弾性体からなる複数の突起を設け、チップの主面に形成したリード配線の一端をチップの主面のパッドに接続すると共に、その他端を上記突起の頂部に延在した構造を有する。

【0015】また、上記半導体集積回路装置において、パッドおよび突起の少なくとも一方を回路素子上に配置した構造を有する。

【0016】

【作用】上記した手段によれば、パッケージ本体の表面に形成したリード配線を通じてチップと基板との電気的30 接続を取ることで、パッケージ本体の外部に突出したリードを通じてチップと基板との電気的接続を取る従来の表面実装形パッケージよりも実装密度を向上させることができる。

【0017】上記した手段によれば、突起をゴム状弾性体で構成したことにより、チップと基板との熱膨張係数差に起因する応力がこの突起で吸収、緩和されるため、チップと基板との間の接続信頼性が向上し、かつ半田付け時の熱に起因するパッケージ本体やチップのクラックが防止される。

【0018】上記した手段によれば、パッケージ本体に開孔した接続孔を通じてリード配線とチップのパッドとを直結したことにより、ワイヤを介してチップ、リード間を接続するワイヤボンディング方式に比べてパッケージの薄形化、小形化が容易になる。

【0019】上記した手段によれば、回路素子上にパッドを配置し、このパッドにリード配線の一端を接続することにより、チップ内部の配線長を短くすることができるので、高速LSIに好適なパッケージを提供することができる。また、パッドの形成領域の分だけチップを小40

形化することができる。

【0020】上記した手段によれば、回路素子上に突起を配置することにより、チップとほぼ同一寸法の半導体集積回路装置が得られるので、チップの実装密度を向上させることができる。

【0021】以下、本発明を実施例により説明する。なお、実施例を説明するための全図において、同一の機能を有するものは同一の符号を付け、その繰り返しの説明は省略する。

【0022】

【実施例】図3は、本実施例による半導体集積回路装置の斜視図、図4は、その長辺方向の正面図、図5は、同じく短辺方向の正面図である。

【0023】この半導体集積回路装置のパッケージ本体1は、ゴム状弾性体からなり、その下面の両端には、短辺方向に沿って所定数の突起2が一定の間隔で配置されている。これらの突起2は、パッケージ本体1と同一材質のゴム状弾性体からなり、パッケージ本体1と一体成形されている。

【0024】上記それぞれの突起2の頂部には、この半導体集積回路装置の外部端子（入出力端子および電源端子）を構成するリード配線3の一端が延在している。上記リード配線3の他端は、突起2の側壁を経てパッケージ本体1の下面の中心方向に延在している。リード配線3は、例えば下層がCuの蒸着膜、中間層がCuのメッキ膜、表面がAuのメッキ膜でそれぞれ構成された複合金属膜からなる。

【0025】上記パッケージ本体1の内部には、図3～図5では図示しない半導体チップ4が封止されている。上記チップ4は、例えばDRAM、SRAMなどのメモリLSIを形成したシリコン単結晶からなり、その主面（回路素子成面）がパッケージ本体1の突起2形成面を向いた状態で封止されている。

【0026】図1は、上記パッケージ本体1の下面の端部を拡大して示す破断斜視図、図2は、同じく断面図である。

【0027】パッケージ本体1に設けられた突起2は、例えば頂部が長方形で、パッケージ本体1の中心側の側壁に傾斜が設けられた角錐台形をなしており、その頂部の短辺の長さは、例えば200μm程度、隣り合う突起2、2同士の隙間は、例えば300μm程度である。すなわち、突起2は、500μm程度のピッチでパッケージ本体1の短辺方向に沿って配列されている。

【0028】上記それぞれの突起2の近傍のパッケージ本体1には、接続孔5が開孔されており、接続孔5の内部には、前記リード配線3が埋込まれている。また、上記接続孔5の底部には、チップ4の表面保護膜（パッシベーション膜）6を開孔して形成したパッド7が露出しており、これにより、パッド7とリード配線3とが電気的に接続されている。上記パッド7は、チップ4の回路40

5

素子に接続されたA1配線8からなる。また、上記チップ4の主面は、突起2と同一材料のゴム状弾性体で覆われており、このゴム状弾性体でチップ4の主面が保護されるようになっている。

【0029】このように、本実施例の半導体集積回路装置は、外部端子を構成するリード配線3の一端をゴム状弾性体からなるパッケージ本体1の下面に設けた突起2の頂部に延在し、リード配線3の他端をパッケージ本体1に開孔した接続孔5を通じてチップ4のパッド7に接続したパッケージ構造を有している。

【0030】図6は、上記パッド7の近傍の断面図である。例えばp形のシリコン単結晶からなるチップ4の主面には、抵抗R、nチャネル形MISFETQ₁、pチャネル形MISFETQ₂などの回路素子が形成されている。上記抵抗R、nチャネル形MISFETQ₁およびpチャネル形MISFETQ₂は、例えばメモリLSIの入力回路を構成している。

【0031】上記抵抗Rは、例えばn形半導体領域9aからなる。また、nチャネル形MISFETQ₁は、ソース、ドレインを構成する一対のn形半導体領域9bおよび多結晶シリコンなどにより構成されたゲート電極10からなり、pチャネル形MISFETQ₂は、ソース、ドレインを構成する一対のp形半導体領域11およびゲート電極10からなる。抵抗Rおよびnチャネル形MISFETQ₁の一対のn形半導体領域9bは、p形シリコンの主面にそれぞれ形成され、pチャネル形MISFETQ₂の一対のp形半導体領域11は、n形ウエル12の主面に形成されている。

【0032】上記抵抗Rには、絶縁膜13に開孔された接続孔14を通じて一対のA1配線8、8が接続されている。上記一対のA1配線8、8の一方は、パッド7および接続孔5を通じて入力信号用のリード配線3に接続されており、もう一方のA1配線8は、nチャネル形MISFETQ₁およびpチャネル形MISFETQ₂のそれぞれのゲート電極10に接続されている。すなわち、リード配線3は、接続孔5、パッド7、A1配線8および抵抗Rを通じてメモリLSIの入力回路に接続されている。

【0033】次に、本実施例の半導体集積回路装置の製造方法の一例を図7～図10を用いて説明する。

【0034】まず、図7に示すように、チップ4をゴム状弾性体のパッケージ本体1で封止する。チップ4の封止は、例えば射出成形法により行う。ゴム状弾性体としては、例えばシリコンゴムなど、弾性率が100MPaまたはそれ以下の軟質な組成のものを使用する。パッケージ本体1は、その両端が中央部よりも肉厚となっており、この肉厚部の厚さは、例えば1mm程度である。また、パッケージ本体1の肉厚部と中央部との段差部には、傾斜を設けておく。

【0035】次に、図8に示すように、パッケージ本体

6

1の一部を開孔してチップ4のパッド7に達する接続孔5を形成する。続いて、図9に示すように、パッケージ本体1の表面にリード配線用の金属膜15を堆積し、上記金属膜15を接続孔5の内部に埋込んでチップ4のパッド7と金属膜15とを電気的に接続する。金属膜15は、少なくともパッケージ本体1の両端から接続孔5までを覆うように堆積する。パッケージ本体1の肉厚部と中央部との段差部には、傾斜が設けてあるので、この段差部で金属膜15の被覆性が低下することはない。

10 【0036】上記金属膜15は、例えば膜厚1μm程度のCuの蒸着膜、膜厚10μm程度のCuのメッキ膜、膜厚1～2μm程度のAuのメッキ膜を順次堆積した複合金属膜からなる。Cuの蒸着膜は、Cuのメッキ膜を電気メッキ法により堆積する際の電極となる。Cuのメッキ膜は、パッケージ本体1を基板に半田付けする際の半田の濡れ性を良くするためのものであり、Auのメッキ膜は、Cuのメッキ膜の腐食を防止するためのものである。なお、上記Auのメッキ膜に代えて半田メッキ膜を使用してもよい。

20 【0037】次に、例えばダイシングなどの機械加工により、パッケージ本体1の端部から中心方向に図10に示すような切り込み16を入れて前記突起2およびリード配線3を形成することにより、本実施例の半導体集積回路装置が完成する。

【0038】図11は、本実施例の半導体集積回路装置を基板17に実装した状態を示している。基板17は、例えばその主面にCuからなる電極18を設けたエポキシ系樹脂、ポリイミド系樹脂などの合成樹脂からなる。この基板17に本実施例の半導体集積回路装置を実装するには、SOP、SOJなどの表面実装形パッケージと同様、半田リフロー法を利用する。すなわち、基板17の電極18上にクリーム状の半田19を印刷した後、パッケージ本体1の突起2の頂部を電極18上に位置合わせし、赤外線などを用いて半田19をその融点以上に加熱する。

【0039】なお、上記半導体集積回路装置は、パッケージ本体1の短辺方向に沿って突起2を配列したが、パッケージ本体1の長辺方向に沿って突起2を配列することもできる。突起2をパッケージ本体1の短辺方向に沿って配列するか、長辺方向に沿って配列するかは、SOP、SOJなどの表面実装形パッケージの場合と同様、パッケージ本体1に封止されるチップ4のパッド7の配列によって決める。

【0040】このように、本実施例によれば、下記ののような効果を得ることができる。

【0041】(1).パッケージ本体1の表面に形成したリード配線3を通じてチップ4と基板17との電気的接続を取るようにしたので、パッケージ本体の外部に突出したリードを通じてチップと基板との電気的接続を取る従来の表面実装形パッケージよりも実装密度を向上させる

ことができる。

【0042】(2). パッケージ本体1および突起2をゴム状弾性体で構成したことにより、チップ4と基板17との熱膨張係数差に起因する応力をパッケージ本体1および突起2が吸収、緩和するので、チップ4と基板17との間の接続信頼性が向上する。

【0043】また、半田付け時の熱に起因するパッケージ本体1やチップ4のクラックを防止することもできる。

【0044】(3). パッケージ本体1に開孔した接続孔5を通じてリード配線3とチップ4のパッド7とを直結したことにより、ワイヤを介してチップ、リード間を接続する従来のワイヤボンディング方式に比べてパッケージを薄形化、小形化することができる。

【0045】図12は、本発明の半導体集積回路装置の他の実施例を示すパッケージ本体1の端部の断面図である。

【0046】前記実施例は、パッケージ本体1と突起2とを同一材質のゴム状弾性体で一体成形した構成になっているが、この実施例は、ゴム状弾性体からなるパッケージ本体1にゴム状弾性体からなる導電性の突起2を接続した構成になっている。導電性の突起2は、例えば導電性接着剤20を介してパッケージ本体1に接着し、これにより、パッケージ本体1の表面に形成したリード配線3と突起2とを電気的に接続する。なお、上記突起2には、パッケージ本体1の中心側の側壁に傾斜を設ける必要はない。

【0047】導電性の突起2を設けた上記半導体集積回路装置を基板に実装するには、例えば導電性接着剤を用いる。すなわち、基板の電極または突起2の頂部に導電性接着剤を印刷した後、突起2の頂部を電極上に位置合わせし、加熱により導電性接着剤を硬化させる。

【0048】図13は、本発明の半導体集積回路装置のさらに他の実施例を示すパッケージ本体1の斜視図である。

【0049】前記実施例は、メモリLSIを形成したチップ4をパッケージ本体1に封止したが、この実施例は、ゲートアレイなどの論理LSIを形成したチップをパッケージ本体1に封止している。この場合は、パッケージ本体1の四辺に沿って突起2を配列することにより、QFP同様、多ピンのパッケージを提供することができる。

【0050】また、本発明によれば、図14に示すように、パッケージ本体1の端部のみならず、その中心部にも突起2および配線3を形成することができるので、QFPよりもさらに多ピンのパッケージを提供することができる。この場合は、チップ4のパッド7を回路素子の直上に配置し、このパッド7の上に接続孔5を設け、さらにこの接続孔5の上に突起を設ける。

【0051】また、この場合は、パッド7をチップ4の

周辺部に配置する場合に比べてチップ4の内部の配線長が短くなるので、高速LSIに好適なパッケージを提供することができる。本発明は、パッケージ本体1に開孔した接続孔5を通じてリード配線3をチップ4のパッド7に接続しているので、パッド7を回路素子の直上に配置した場合でも、ワイヤボンディング方式のように衝撃荷重や超音波振動によってパッド直下の回路素子が劣化する虞れはない。

【0052】図15は、本発明の半導体集積回路装置のさらに他の実施例を示すパッケージ本体1の長辺方向の正面図であり、図16は、このパッケージ本体1の要部断面図である。

【0053】本実施例では、A1配線8の上層に第二層目のA1配線21を形成し、配線を多層化することでパッド7を回路素子上に配置したものである。また、これに伴い、突起2も回路素子上に配置してある。

【0054】本実施例によれば、パッド7を回路素子上に配置したことにより、パッド領域を削減することができるので、チップ4を小形化することができる。また、突起2を回路素子上に配置したことにより、パッケージ本体1の外径寸法をチップ4の外径寸法とほぼ同程度まで縮小することができるので、チップ4の実装密度をより向上させることができる。

【0055】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0056】例えば突起の形状は、前記実施例の形状に限定されるものではない。また、パッケージ本体および突起を構成するゴム状弾性体は、シリコンゴムなどに限定されるものではない。

【0057】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0058】(1). パッケージ本体の表面に形成したリード配線を通じてチップと基板との電気的接続を取るようにしたので、パッケージ本体の外部に突出したリードを通じてチップと基板との電気的接続を取る従来の表面実装形パッケージよりも実装密度を向上させることができる。

【0059】(2). パッケージ本体および突起をゴム状弾性体で構成したことにより、チップと基板との熱膨張係数差に起因する応力がパッケージ本体および突起により吸収、緩和され、チップと基板との間の接続信頼性が向上する。また、半田付け時の熱に起因するパッケージ本体やチップのクラックを防止することができる。

【0060】(3). パッケージ本体に開孔した接続孔を通じてリード配線とチップのパッドとを直結したことにより、ワイヤを介してチップ、リード間を接続するワイヤ

ボンディング方式に比べてパッケージの薄形化、小形化が容易になる。

【0061】(4). 回路素子の直上にパッドを配置し、このパッドにリード配線の一端を接続したことにより、チップ内部の配線長を短くすることができるので、高速LSIに好適なパッケージを提供することができる。

【0062】(5). 回路素子の直上に配置したパッドの上に接続孔を設け、この接続孔の近傍に突起を設けることにより、パッケージの多ピン化が容易になる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の要部を拡大して示す破断斜視図である。

【図2】この半導体集積回路装置の要部を拡大して示す断面図である。

【図3】この半導体集積回路装置の斜視図である。

【図4】この半導体集積回路装置の長辺方向の正面図である。

【図5】この半導体集積回路装置の短辺方向の正面図である。

【図6】この半導体集積回路装置の部分断面図である。

【図7】この半導体集積回路装置の製造方法の一部を示す斜視図である。

【図8】この半導体集積回路装置の製造方法の一部を示す斜視図である。

【図9】この半導体集積回路装置の製造方法の一部を示す斜視図である。

【図10】この半導体集積回路装置の製造方法の一部を示す斜視図である。

【図11】この半導体集積回路装置の実装構造を示す正面図である。

【図12】本発明の他の実施例である半導体集積回路装置の要部を拡大して示す断面図である。

【図13】本発明のさらに他の実施例である半導体集積

回路装置の斜視図である。

【図14】本発明のさらに他の実施例である半導体集積回路装置の長辺方向の正面図である。

【図15】本発明のさらに他の実施例である半導体集積回路装置の長辺方向の正面図である。

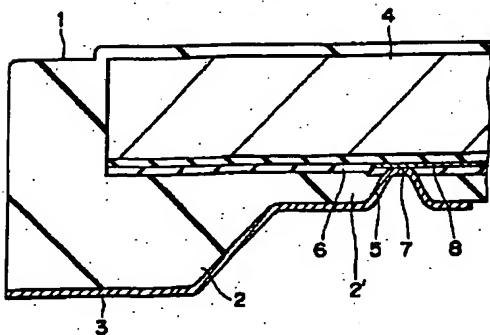
【図16】この半導体集積回路装置の要部を拡大して示す断面図である。

【符号の説明】

- 1 パッケージ本体
- 2 突起
- 3 リード配線
- 4 半導体チップ
- 5 接続孔
- 6 表面保護膜 (パッシベーション膜)
- 7 パッド
- 8 Al配線
- 9a n形半導体領域
- 9b p形半導体領域
- 10 ゲート電極
- 11 p形半導体領域
- 12 n形ウエル
- 13 絶縁膜
- 14 接続孔
- 15 金属膜
- 16 切り込み
- 17 基板
- 18 電極
- 19 半田
- 20 導電性接着剤
- 21 Al配線
- Q₁ nチャネル形MISFET
- Q₂ pチャネル形MISFET
- R 抵抗

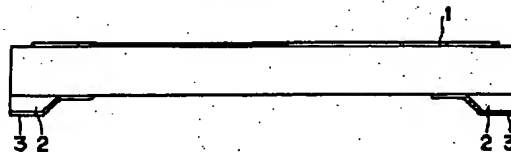
【図2】

図2

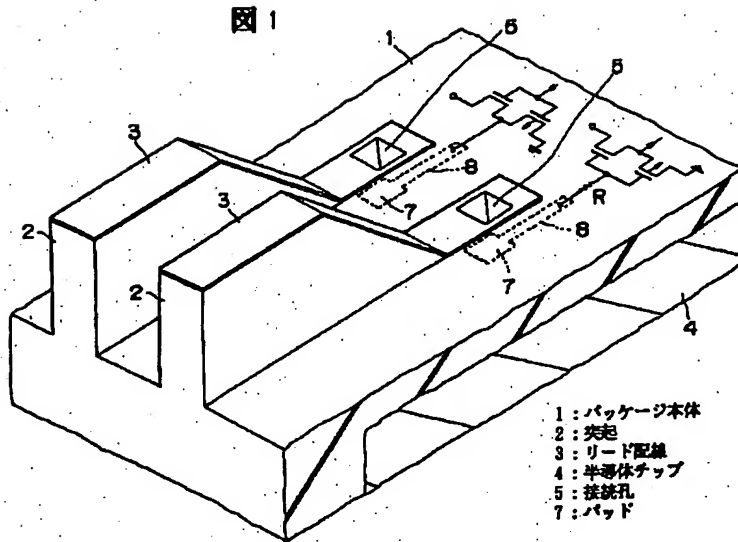


【図4】

図4

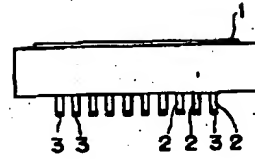


【図1】



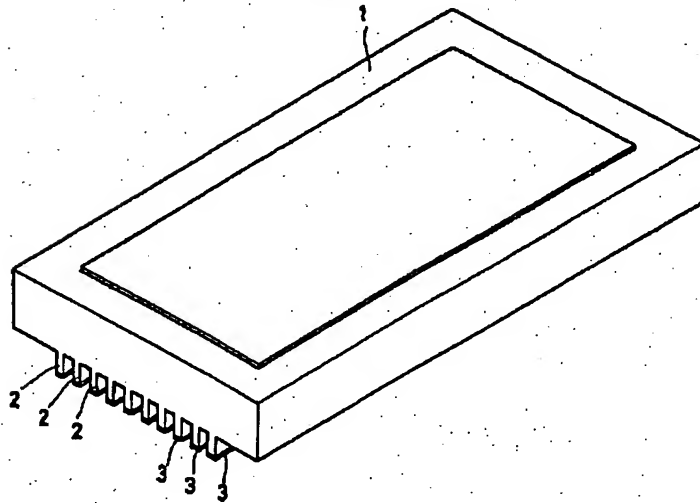
【図5】

図 5



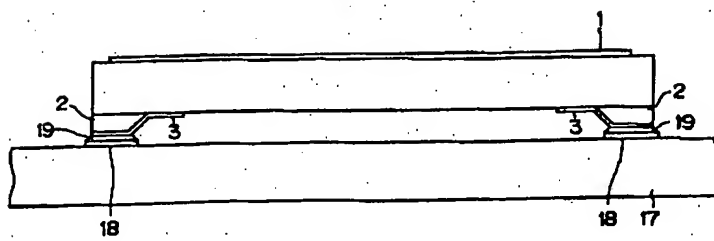
【図3】

図 3



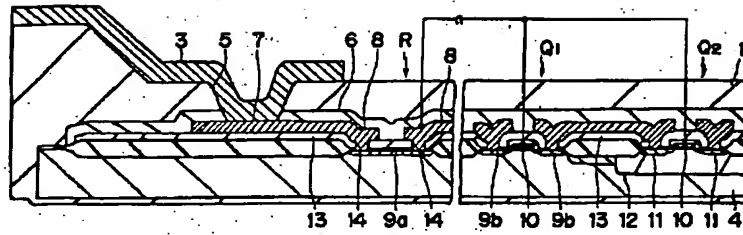
【図11】

図 11



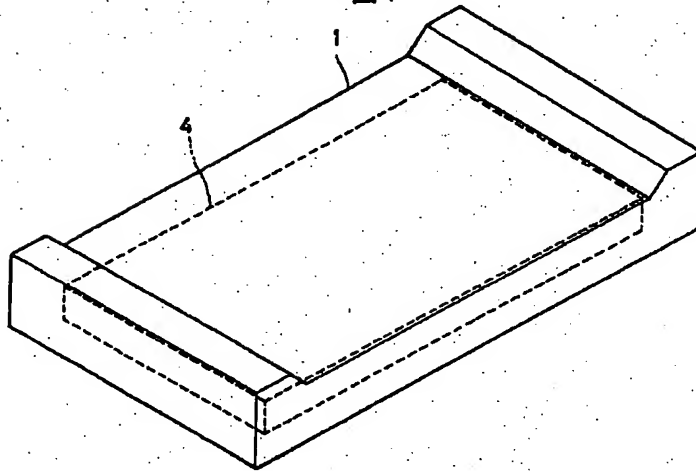
【図6】

図 6



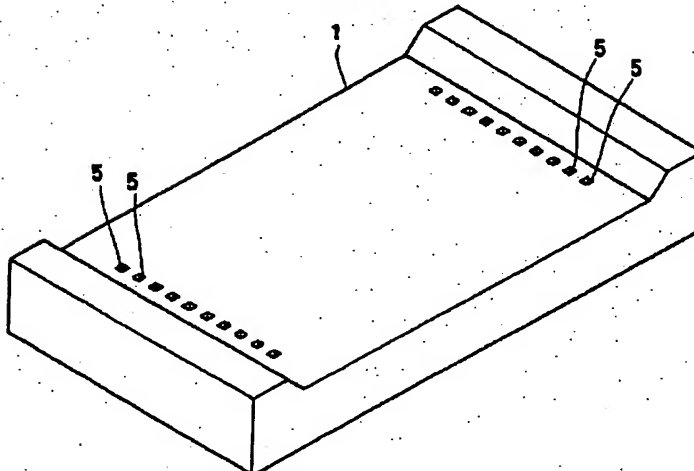
【図7】

図 7



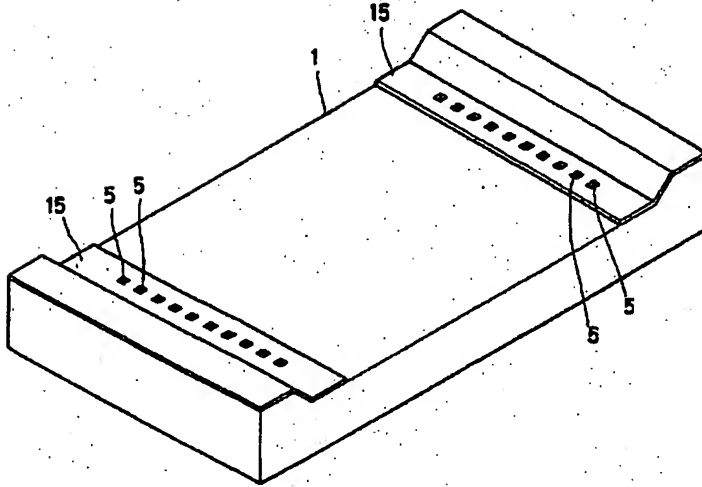
【図8】

図 8



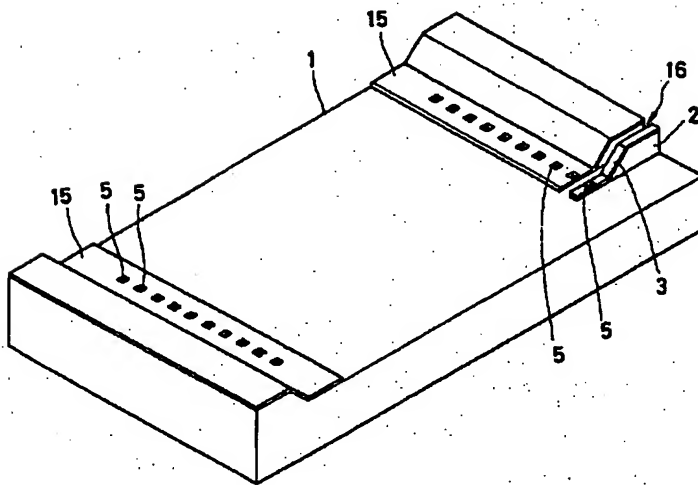
【図9】

図 9



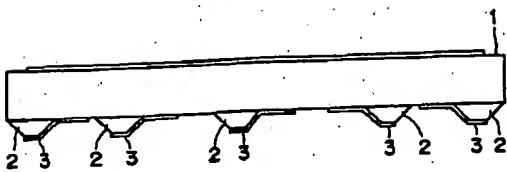
【図10】

図 10



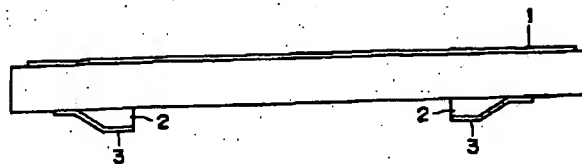
【図14】

図 14



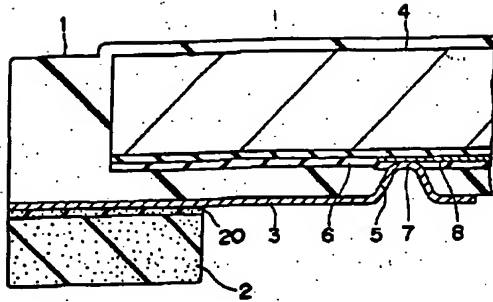
【図15】

図 15



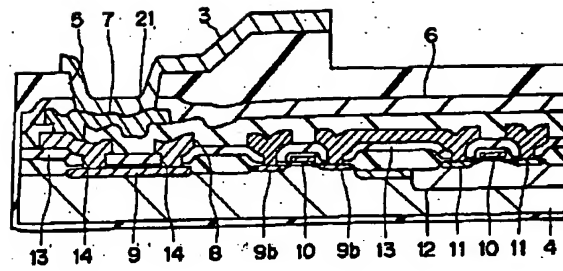
【図12】

図12



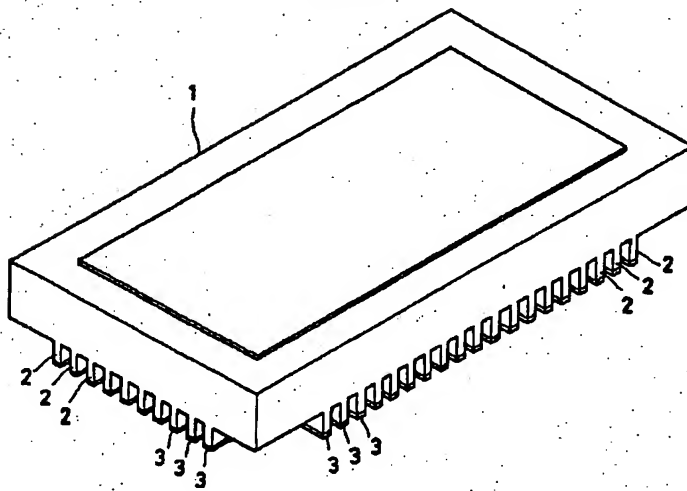
【図16】

図16



【図13】

図13



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)